

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-66906
(P2003-66906A)

(43) 公開日 平成15年3月5日 (2003.3.5)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード*(参考) |
|---------------------------|-------|--------------|-------------------|
| G 0 9 G 3/30 | | G 0 9 G 3/30 | J 3 K 0 0 7 |
| G 0 9 F 9/30 | 3 6 5 | G 0 9 F 9/30 | 3 6 5 Z 5 C 0 8 0 |
| G 0 9 G 3/20 | 6 1 1 | G 0 9 G 3/20 | 6 1 1 H 5 C 0 9 4 |
| | 6 4 1 | | 6 4 1 D |
| | 6 4 2 | | 6 4 2 A |

審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-255051(P2001-255051)

(22) 出願日 平成13年8月24日 (2001.8.24)

(71) 出願人 594021175

旭化成マイクロシステム株式会社
東京都新宿区西新宿三丁目7番1号

(72) 発明者 山羽 義郎

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

最終頁に続く

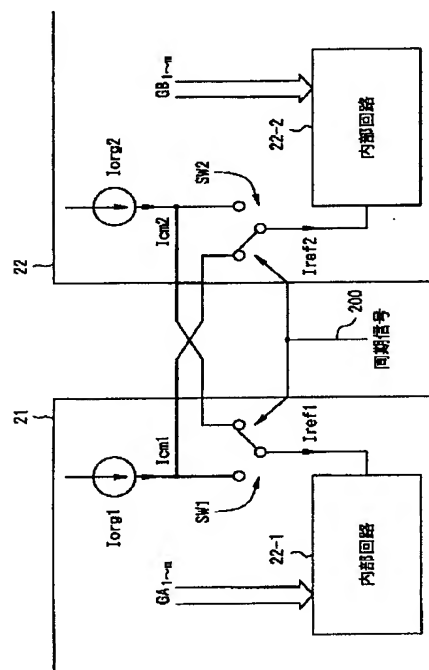
(54) 【発明の名称】 ディスプレイパネル駆動回路

(57) 【要約】

【課題】 カレントミラーで発生する電流ばらつきを小さくし、また複数のICチップ間での基準電流のばらつきをなくす。

【解決手段】 パルスデューティ比1/2(50%)の同期信号200でスイッチング回路SW1、SW2内のアナログスイッチSW11、12、21、22をオンオフ制御する。これにより、カレントミラーの元電流を実現する電流源Iorg1からの電流Ica1と電流源Iorg2からの電流Ica2とが平均化されて、基準電流Iref1、Iref2として内部回路22-1、22-2に与えられる。基準電流同士のばらつきの量が減少する。

【効果】 複数のICチップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られる。



【特許請求の範囲】

【請求項1】 基準電流をそれぞれ生成する複数の基準電流源と、前記複数の基準電流源に対応して設けられ対応する基準電流源から与えられた基準電流によって動作するカレントミラー回路をそれぞれ含む複数のICチップとを有し、ディスプレイパネルを駆動するための駆動電流を前記カレントミラー回路によって生成するディスプレイパネル駆動回路であって、前記複数の基準電流源と前記複数のICチップとの対応関係を所定周期で切り替え制御するスイッチング手段を含むことを特徴とするディスプレイパネル駆動回路。

【請求項2】 前記スイッチング手段は、前記ICチップの数がN個であるとき、デューティ比 $1/N$ のパルスにより前記複数の基準電流源と前記複数のICチップとの電氣的接続状態を切り替え制御することを特徴とする請求項1記載のディスプレイパネル駆動回路。

【請求項3】 前記ディスプレイパネルは、前記複数のICチップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする請求項1又は2記載のディスプレイパネル駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディスプレイパネル駆動回路に関し、特に有機エレクトロルミネッセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置の駆動回路に関する。

【0002】

【従来の技術】薄型で低消費電力なディスプレイ装置を実現するための自発光素子として、有機エレクトロルミネッセンス（以下、ELと称する）素子が知られている。図4は、かかるEL素子の概略構成を示す図である。同図に示されているように、EL素子は、透明電極101が形成されたガラス板等からなる透明基板100上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機機能層102、及び金属電極103が積層されたものである。

【0003】図5は、かかるEL素子の特性を電氣的に示す等価回路である。同図に示されるように、EL素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Eとによって置き換えることができる。ここで、透明電極101の陽極にプラス、金属電極103の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分Cに電荷が蓄積される。この際、EL素子固有の障壁電圧または発光閾値電圧を越えると、電極（ダイオード成分Eの陽極側）から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層102が発光する。

【0004】図6は、複数の上記EL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像

表示を行うELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列されたm個の陽極線（透明電極） $A_1 \sim A_m$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_m$ の交差部分の各々に、上述した如き構造を有するEL素子 $E_{11} \sim E_{nm}$ が形成されている。尚、これらEL素子 $E_{11} \sim E_{nm}$ 各々は、ELDP10としての1画素を担うものである。

【0005】発光制御回路1は、入力された1画面分（n行、m列）の画像データを、ELDP10の各画素、すなわち上記EL素子 $E_{11} \sim E_{nm}$ の各々に対応した画素データ群 $D_{11} \sim D_{nm}$ に変換し、これらを図7に示されるが如く、1行分毎に順次、陽極線ドライバ回路2に供給して行く。例えば、画素データ $D_{11} \sim D_{nm}$ とは、ELDP10の第1表示ラインに属するEL素子 $E_{11} \sim E_{nm}$ 各々に対して発光を実施させるか否かを指定するm個のデータビットであり、夫々、論理レベル“1”である場合には“発光”、論理レベル“0”である場合に“非発光”を示す。

【0006】また、発光制御回路1は、図7に示されているように1行分毎の画素データの供給タイミングに同期して、ELDP10の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路3に供給する。陽極線ドライバ回路2は、先ず、上記画素データ群におけるm個のデータビットの内から、“発光”を指定する論理レベル“1”のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した“列”に属する陽極線を陽極線 $A_1 \sim A_m$ の内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流iを供給する。

【0007】陰極線走査回路3は、上記陰極線 $B_1 \sim B_n$ の内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を択一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位Vccを夫々印加する。尚、かかる高電位Vccは、EL素子が所望の輝度で発光しているときの両端電圧（寄生容量Cへの充電量に基づいて決定する電圧）とほぼ同一値に設定される。

【0008】この際、上記陽極線ドライバ回路2によって上記定電流源が接続された“列”と、上記陰極線走査回路3にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び“列”に交叉して形成されているEL素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路3によって高電位Vccに設定された表示ラインと、上記定電流源が接続された“列”との間には電流が流れ込まないので、かかる表示ライン及び“列”に交叉して形成されているEL素子は非発光のままである。

【0009】以上のような動作が、画素データ群 $D_{11} \sim D_{1n}$ 、 $D_{21} \sim D_{2n}$ 、 \dots 、 $D_{n1} \sim D_{nn}$ 各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が表示されるのである。

【0010】

【発明が解決しようとする課題】ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、夫々複数のICチップで構築することが考えられた。

【0011】ところが、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のばらつき等により、各ICチップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いによりELDP10の画面上には互いに輝度の異なる領域ができてしまうという問題があった。これを解決するための技術が特開2001-42827号公報に記載されている。

【0012】図8は、同公報に記載されているELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列された2m個の陽極線（透明電極） $A_1 \sim A_{2m}$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_{2m}$ 各々の交叉部に、図4に示されているような構造を有するEL素子 $E_{1,1} \sim E_{n,2m}$ が形成されている。尚、これらEL素子 $E_{1,1} \sim E_{n,2m}$ 各々は、ELDP10'としての1画素を担うものである。

【0013】発光制御回路1'は、図9に示されているように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線 $B_1 \sim B_n$ の内から択一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位 V_{cc} を夫々印加する。

【0014】また、発光制御回路1'は、入力された1画面分（n行、2m列）の画像データをELDP10'の各画素、すなわち上記EL素子 $E_{1,1} \sim E_{n,2m}$ 各々に対応した画素データ $D_{1,1} \sim D_{n,2m}$ に変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に

属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データ $D_{1,1} \sim D_{1,m}$ 、 $D_{2,1} \sim D_{2,m}$ 、 $D_{3,1} \sim D_{3,m}$ 、 \dots 、及び $D_{n,1} \sim D_{n,m}$ 各々を、図9に示されているように、第1駆動データ GA_{1-m} として、順次、第1陽極線ドライブ回路21に供給する。これと同時に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データ $D_{1,m+1} \sim D_{1,2m}$ 、 $D_{2,m+1} \sim D_{2,2m}$ 、 $D_{3,m+1} \sim D_{3,2m}$ 、 \dots 、及び $D_{n,m+1} \sim D_{n,2m}$ 各々を、図9に示されているように、第2駆動データ GB_{1-m} として、順次、第2陽極線ドライブ回路22に供給する。

【0015】なお、これら第1駆動データ GA_{1-m} 及び第2駆動データ GB_{1-m} の各々は、図9に示されているように、上記走査線選択制御信号に同期して順次、第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々に供給される。この際、上記第1駆動データ群 GA_{1-m} とは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。また、上記第2駆動データ群 GB_{1-m} とは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル“1”である場合には発光を実施させる一方、“0”である場合には発光を実施させない。

【0016】図10は、駆動回路としての上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22各々の内部構成を示す図である。尚、上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々は、互いに異なる2つのICチップ内に夫々構築される。同図において、第1陽極線ドライブ回路21は、基準電流制御回路RC、制御電流出力回路CO、スイッチブロックSB、並びに、m個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。

【0017】基準電流制御回路RCにおけるトランジスタ Q_b のエミッタには抵抗 R_x を介して所定電圧 V_{BE} が接続されており、そのベース及びコレクタにはトランジスタ Q_a のコレクタが接続されている。演算増幅器OPには所定の基準電位 V_{REF} と、トランジスタ Q_a のエミッタ電位が入力されており、その出力電位は、トランジスタ Q_a のベースに入力される。トランジスタ Q_a のエミッタは、抵抗 R_p を介してアース電位に接地されている。以上の如き構成により、トランジスタ Q_a のコレクタエミッタ間には基準電流 $I_{REF} (= V_{REF} / R_p)$ が流れることになる。

【0018】トランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 V_{BE} が印加されており、更に、夫々のベースには上記トランジス

タ Q_b のベースが接続されている。この際、上記抵抗 R_r 、及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 Q_a 及び Q_b の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路 RC と、トランジスタ $Q_1 \sim Q_m$ とは電流ミラー回路（以下、カレントミラーと呼ぶ）を構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記基準電流 I_{REF} と同一の電流値を有する発光駆動電流 i が流れ、これが出力されることになる。

【0019】スイッチブロック SB には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1 \sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第1陽極線ドライブ回路21のスイッチブロック SB では、上記発光制御回路1'から供給された第1駆動データ $GA_1 \sim GA_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。例えば、第1駆動データ GA_1 が論理レベル“0”のときには、スイッチング素子 S_1 はオフ状態となる一方、かかる第1駆動データ GA_1 が論理レベル“1”のときには、オン状態となってトランジスタ Q_1 から供給された発光駆動電流 i を出力端 X_1 に導出する。また、第1駆動データ GA_m が論理レベル“0”のときには、スイッチング素子 S_m はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ Q_m から供給された発光駆動電流 i を出力端 X_m に導出する。このように、上記トランジスタ $Q_1 \sim Q_m$ の各々から出力された発光駆動電流 i は、出力端 $X_1 \sim X_m$ の各々を介して、図8に示されているように、 $ELDP10'$ の陽極線 $A_1 \sim A_m$ の各々に供給される。

【0020】制御電流出力回路 CO におけるトランジスタ Q_0 のエミッタには抵抗 R_0 を介して画素駆動電位 V_{BE} が印加されており、そのベースには上記基準電流制御回路 RC におけるトランジスタ Q_b のベースが接続されている。この際、上記抵抗 R_0 の抵抗値は、基準電流制御回路 RC における抵抗 R_r と同一であり、更に、トランジスタ Q_0 は、基準電流制御回路 RC におけるトランジスタ Q_a 及び Q_b 各々と同一特性を有するものである。よって、制御電流出力回路 CO におけるトランジスタ Q_0 と、上記基準電流制御回路 RC とはカレントミラーを形成することになり、上記トランジスタ Q_0 のエミッターコレクタ間には、上記基準電流 I_{REF} と同一電流量の電流が流れる。制御電流出力回路 CO は、かかる電流を制御電流 i_c とし、これを出力端 I_{out} を介して第2陽極線ドライブ回路22の入力端 I_{in} に供給する。つまり、第1陽極線ドライブ回路21が $ELDP10'$ の陽極線 $A_1 \sim A_m$ の各々に供給する発光駆動電流 i と同一の電流が、制御電流 i_c として第2陽極線ドライブ回路22に供給されるのである。

【0021】第2陽極線ドライブ回路22は、駆動電流

制御回路 CC 、スイッチブロック SB 、並びに、 m 個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。駆動電流制御回路 CC におけるトランジスタ Q_c のコレクタ及びベースは、上記入力端 I_{in} に接続されており、そのエミッタは抵抗 R_{Q1} を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路21から出力された制御電流 i_c は、その入力端 I_{in} を介してトランジスタ Q_c のコレクターエミッタ間に流れる。

【0022】また、駆動電流制御回路 CC におけるトランジスタ Q_e のエミッタには抵抗 R_s を介して画素駆動電位 V_{BE} が印加されており、そのベース及びコレクタにはトランジスタ Q_d のコレクタが接続されている。かかるトランジスタ Q_d のベースは上記トランジスタ Q_c のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗 R_{Q2} を介してアース電位に接地されている。この際、第1陽極線ドライブ回路21のトランジスタ Q_0 と、上記トランジスタ Q_c 、 Q_d 、及び Q_e の各々とは同一特性のトランジスタであり、更に、第1陽極線ドライブ回路21における抵抗 R_0 と上記抵抗 R_s とは同一抵抗値である。よって、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流が上記トランジスタ Q_d のコレクターエミッタ間に流れる。

【0023】また、第2陽極線ドライブ回路22におけるトランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 V_{BE} が印加されており、更に、夫々のベースには上記トランジスタ Q_e のベースが接続されている。この際、上記抵抗 R_s 、及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 Q_d 及び Q_e の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路 CC と、トランジスタ $Q_1 \sim Q_m$ とはカレントミラーを構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流量を有する発光駆動電流 i が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路 CC により、第2陽極線ドライブ回路22のトランジスタ $Q_1 \sim Q_m$ 各々から出力される発光駆動電流 i は、第1陽極線ドライブ回路21が出力した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロック SB には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1 \sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第2陽極線ドライブ回路22のスイッチブロック SB では、上記発光制御回路1'から供給された第2駆動データ $GB_1 \sim GB_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。

【0025】例えば、第2駆動データ GB_1 が論理レベ

ル“0”のときには、スイッチング素子 S_1 はオフ状態となる一方、かかる第2駆動データ GB_1 が論理レベル“1”のときには、オン状態となってトランジスタ Q_1 から供給された発光駆動電流 i を出力端 X_1 に導出する。また、第2駆動データ GB_2 が論理レベル“0”のときには、スイッチング素子 S_2 はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ Q_2 から供給された発光駆動電流 i を出力端 X_2 に導出する。このように、第2陽極線ドライブ回路22のトランジスタ $Q_1 \sim Q_n$ 各々から出力された発光駆動電流 i は、出力端 $X_1 \sim X_n$ の各々を介して、図8に示されているように、 $ELDP10'$ の陽極線 $A_{n+1} \sim A_{2n}$ の各々に供給される。

【0026】以上のように、上記公報に記載されている駆動回路では、陽極線ドライブ回路内に、発光駆動電流を発生させるための電流源（トランジスタ $Q_1 \sim Q_n$ ）の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路 CC と、かかる発光駆動電流自体を制御電流として出力する制御電流出力回路 CO とを設ける構成としている。ここで、ディスプレイパネルの陽極線を、夫々個別のICチップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、たとえ各ICチップ（陽極線ドライブ回路としての）間に特性のばらつきがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0027】上述した公報に記載されている技術においては、ICチップで構成される第1陽極線ドライブ回路21から、他のICチップで構成される第2陽極線ドライブ回路22に基準電流を渡す際、カレントミラーを用いている。このため、カレントミラーで電流ばらつきが生じると、複数のICチップ間で、出力電流がばらついてしまう。すると、ディスプレイパネル上において均一な発光輝度が得られないという欠点がある。

【0028】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はカレントミラーで発生する電流ばらつきを小さくすることができ、また複数のICチップ間での基準電流のばらつきをなくすことのできるディスプレイパネル駆動回路を提供することである。

【0029】

【課題を解決するための手段】本発明の請求項1によるディスプレイパネル駆動回路は、基準電流をそれぞれ生成する複数の基準電流源と、前記複数の基準電流源に対応して設けられ対応する基準電流源から与えられた基準電流によって動作するカレントミラー回路をそれぞれ含

む複数のICチップとを有し、ディスプレイパネルを駆動するための駆動電流を前記カレントミラー回路によって生成するディスプレイパネル駆動回路であって、前記複数の基準電流源と前記複数のICチップとの対応関係を所定周期で切り替え制御するスイッチング手段を含むことを特徴とする。

【0030】本発明の請求項2によるディスプレイパネル駆動回路は、請求項1において、前記スイッチング手段は、前記ICチップの数が N 個であるとき、デューティ比 $1/N$ のバルスにより前記複数の基準電流源と前記複数のICチップとの電氣的接続状態を切り替え制御することを特徴とする。本発明の請求項3によるディスプレイパネル駆動回路は、請求項1又は2において、前記ディスプレイパネルは、前記複数のICチップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする。

【0031】要するに、複数のICチップがそれぞれの電流源を持ち、各ICチップの電流源を順番に使っていくように切り替え制御することによって、長い時間で見れば、各ICチップは、全チップの平均的な電流により動作することになる。つまり、従来技術のように主たるICチップの基準電流を使うのではなく、複数のICチップが平均電流で動作できる。

【0032】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図においては、他の図と同等部分に同一符号が付されている。図1は本発明によるディスプレイパネル駆動回路の実施の一形態における主要部分の構成を示す図である。同図においては、ICチップが2つである場合が示されている。

【0033】同図に示されているように、ICチップである第1陽極線ドライブ回路21の内部には、カレントミラーのための基準電流を出力する電流源 I_{org1} と、この電流源 I_{org1} から出力される基準電流 I_{cm1} を入力する1つとするスイッチング回路 $SW1$ とが設けられている。基準電流 I_{cm1} はICチップである第2陽極線ドライブ回路22内のスイッチング回路 $SW2$ にも入力されている。

【0034】また、陽極線ドライブ回路22の内部には、カレントミラーのための基準電流を出力する電流源 I_{org2} と、この電流源 I_{org2} から出力される基準電流 I_{cm2} を入力する1つとするスイッチング回路 $SW2$ とが設けられている。基準電流 I_{cm12} は陽極線ドライブ回路21内のスイッチング回路 $SW1$ にも入力されている。陽極線ドライブ回路21内の内部回路22-1及び陽極線ドライブ回路22内の内部回路22-2は、上述した図10における陽極線ドライブ回路22と同等の構成であるものとする。つまり、内部回路22-1及び22-2

は、共にカレントミラー回路を有しており、このカレントミラー回路によってディスプレイパネルを駆動するための駆動電流を生成する。

【0035】内部回路22-1には、基準電流 I_{cm1} 及び基準電流 I_{cm2} のうち、スイッチング回路SW1によって選択されたものが基準電流 I_{ref1} として入力される。同様に、内部回路22-2には、基準電流 I_{cm1} 及び基準電流 I_{cm2} のうち、スイッチング回路SW2によって選択されたものが基準電流 I_{ref2} として入力される。スイッチング回路SW1及びSW2は、走査線選択信号に同期した同期信号200によってスイッチング制御される。スイッチング回路SW1とスイッチング回路SW2とは、基準電流 I_{cm1} 及び基準電流 I_{cm2} のうち互いに異なるものを選択するようにスイッチング制御される。つまり、電流源 I_{org1} 、電流源 I_{org2} からの出力電流を、外部からの同期信号200によりオンオフされるスイッチング回路によって切り替えて時分割制御する(時間で平均する)。

【0036】こうすることで、交互に内部回路へ電流を送り込み、陽極線ドライブ回路21、22がそれぞれ平均した電流を内部で使用するようになる。切り替えて時分割制御を行うことにより、各陽極線ドライブ回路21、22への基準電流 I_{ref1} 、基準電流 I_{ref2} は、電流源 I_{org1} 、電流源 I_{org2} からの基準電流 I_{cm1} と基準電流 I_{cm2} との時間平均をとったものになる。したがって、基準電流 I_{ref1} と基準電流 I_{ref2} とは、等しいものになる。具体的には、陽極線ドライブ回路21、22の電流源 I_{org1} と電流源 I_{org2} とをデューティ比1/2(50%)で交互に切り替えるようにスイッチング制御することで、平均電流を求めることができる。このように平均化された電流を用いてディスプレイパネルを駆動することにより、基準電流のばらつきをなくすることができるので、ディスプレイパネル上において均一な発光輝度が得られる。

【0037】図2は、スイッチング回路の動作を示すタイミングチャートである。同図には、陽極線ドライブ回路21への基準電流 I_{ref1} と、陽極線ドライブ回路22への基準電流 I_{ref2} と、走査線選択信号とが示されている。同図に示されているように、陰極線を切り替えるタイミングでスイッチング回路SW1及びSW2の切り替え制御を行う。このように切り替え制御を行えば、電流源 I_{org1} の出力である電流 I_{cm1} と電流源 I_{org2} の出力である電流 I_{cm2} とが交互に、基準電流 I_{ref1} 、 I_{ref2} として陽極線ドライブ回路21、22に入力される。このため、電流を複数の陽極線ドライブ回路へ平均化して供給することになる。よって、複数のICチップ(陽極線ドライブ回路)からそれぞれ出力される電流にばらつきがあっても、長い時間で見ると、各ICチップが平均化した電流で動作し、基準電流のばらつきをなくすることができる。したがって、ディスプレイパネル上において

均一な発光輝度が得られる特に、この切り替え制御を、陰極線の電流がオフ状態になっている期間において行えば、基準電流 I_{ref1} と基準電流 I_{ref2} との切り替え動作に伴うノイズを最小に抑えることができる。従って、ディスプレイ画面のちらつき等の悪影響を抑え、より良好な画像表示を行うことができる。

【0038】ここで、スイッチング回路の構成例が図3に示されている。同図に示されているスイッチング回路SW1、SW2は、それぞれ対応する基準電流源 I_{ref1} 、 I_{ref2} から出力される電流 I_{cm1} と電流 I_{cm2} とが入力される2つのアナログスイッチを含んで構成されている。スイッチング回路SW1は、アナログスイッチSW11及びSW12によって構成されている。これらアナログスイッチSW11及びSW12は、共に、ソース及びドレインを共通とするN型MOS(Metal Oxide Semiconductor)トランジスタ及びP型MOSトランジスタによって構成されている。そして、これらN型MOSトランジスタ及びP型MOSトランジスタのゲートがスイッチング制御端子となり、互いに反転した信号によりオンオフが制御される。アナログスイッチSW11及びSW12の出力は1つにまとめられて上述した基準電流 I_{ref1} となる。

【0039】同様に、スイッチング回路SW2は、アナログスイッチSW21及びSW22によって構成されている。これらアナログスイッチSW21及びSW22は、共に、ソース及びドレインを共通とするN型MOSトランジスタ及びP型MOSトランジスタによって構成されている。そして、これらN型MOSトランジスタ及びP型MOSトランジスタのゲートがスイッチング制御端子となり、互いに反転した信号によりオンオフが制御される。アナログスイッチSW21及びSW22の出力は1つにまとめられて上述した基準電流 I_{ref2} となるまた、同図においては、上述した同期信号200を反転するインバータINVが設けられている。このインバータINVは、例えば周知のCMOS(Complementary Metal Oxide Semiconductor)インバータ回路で構成する。

【0040】アナログスイッチSW11のN型MOSトランジスタ及びアナログスイッチSW12のP型MOSトランジスタには同期信号200がそのまま入力されるのに対し、アナログスイッチSW11のP型MOSトランジスタ及びアナログスイッチSW12のN型MOSトランジスタには同期信号200がインバータINVによって論理反転されて入力される。このため、同期信号200がハイレベルのときにアナログスイッチSW11がオン状態、ローレベルのときにはアナログスイッチSW12がオン状態となる。

【0041】一方、アナログスイッチSW21のP型MOSトランジスタ及びアナログスイッチSW22のN型MOSトランジスタには同期信号200がそのまま入力

11

されるのに対し、アナログスイッチSW21のN型MOSトランジスタ及びアナログスイッチSW22のP型MOSトランジスタには同期信号200がインバータINVによって論理反転されて入力される。このため、同期信号200がハイレベルのときにアナログスイッチSW22がオン状態、ローレベルのときにはアナログスイッチSW21がオン状態となる。

【0042】このような構成において、同期信号200がハイレベルのときには、アナログスイッチSW11及びSW22がオン状態となる。このとき、電流 I_{cm1} が電流 I_{ref1} として出力され、電流 I_{cm2} が電流 I_{ref2} として出力される。一方、同期信号200がローレベルのときには、アナログスイッチSW12及びSW21がオン状態となる。このとき、電流 I_{cm2} が電流 I_{ref1} として出力され、電流 I_{cm1} が電流 I_{ref2} として出力される。

【0043】したがって、同期信号をデューティ比1/2(50%)とすれば、電流 I_{cm1} と電流 I_{cm2} とが平均化されて電流 I_{ref1} 及び電流 I_{ref2} として出力される。よって、複数のICチップからそれぞれ出力される電流にばらつきがあっても、長い時間で見ると、各ICチップが平均化した電流で動作し、基準電流のばらつきをなくすることができる。したがって、ディスプレイパネル上において均一な発光輝度が得られる。

【0044】ところで、従来技術においては、1つのマスターICチップ(内部の電流源)から他のスレーブICチップへ同一電流を配る構成である(図10参照)。この従来構成においてはマスター電流源の基準電流により、製品全体としての電流のばらつきが決まる。マスター電流のばらつきが、プラスマイナス10%のとき、スレーブに対して誤差なく電流が配られたとしても全体としてのばらつき10%から改善することはない。これに対し本発明においては、電流源となるICチップを順番に切り替えて行くので、各々の電流源のばらつきが10%であったとしても、それが平均化されるので、製品全体としての電流のばらつきは $10/\sqrt{N}$ である。したがって、電流のばらつきは10%以下となる。つまり、有機ELパネル製品の表示輝度のばらつきは、従来技術の場合、マスターの基準電流のばらつきで決定されるのに対し、本発明では使用する各ICチップに内蔵されている電流源のばらつきの平均になるので、パネル製品としての輝度ばらつきを改善できることになる。

【0045】なお、以上はICチップを2つ用いた場合について説明したが、より多くのICチップを用いた場合においても同様に電流を切り替えることで同様の効果が得られる。例えばICチップを3つ用いる場合、図3中のアナログスイッチを各ICチップあたり1つずつ追加し、各ICチップ内でパルスデューティ比1/3(約33%)の同期信号によってスイッチ切り替え制御を行うことでICチップに与える電流を平均化すれば良い。

12

つまり、ICチップの数がN個である場合、デューティ比 $1/N$ のパルスによって、基準電流源とICチップとの電氣的接続状態を切り替え制御するのである。

【0046】以上のように、ICチップと基準電流源との対応関係(電氣的接続状態)を所定周期で切り替えることにより、各ICチップに与える電流を平均化し、ICチップ間の出力電流のばらつきを小さくすることができる。

【0047】

10 【発明の効果】以上説明したように本発明は、同一電流を複数のICチップへ供給するのではなく、平均化して供給することにより、複数のICチップからそれぞれ出力される電流にばらつきがあっても、長い時間で見ると、各ICチップが平均化した電流で動作し、基準電流のばらつきをなくすることができるので、ディスプレイパネル上において均一な発光輝度が得られるという効果がある。

【図面の簡単な説明】

20 【図1】本発明によるディスプレイパネル駆動回路の主要部分の構成を示す図である。

【図2】図1のディスプレイパネル駆動回路におけるスイッチング回路の切り替えタイミングを示すタイミングチャートである。

【図3】スイッチング回路の構成例を示す図である。

【図4】EL素子の概略構成を示す図である。

【図5】EL素子の特性を電氣的に示す等価回路を示す図である。

【図6】複数のEL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。

【図7】画素データ及び走査線選択信号の供給タイミングを示す図である。

【図8】陽極線ドライブ回路を2つのICチップで構築した場合を示す図である。

【図9】発光制御回路による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図10】陽極線ドライブ回路の内部構成例を示す図である。

【符号の説明】

- 1 発光制御回路
- 2 陽極線ドライブ回路
- 3 陰極線走査回路
- 10 ELDP
- 21, 22 陽極線ドライブ回路
- 22-1, 22-2 内部回路
- 30 陰極線走査回路
- 100 透明基板
- 101 透明電極
- 102 有機機能層
- 103 金属電極

200 同期信号

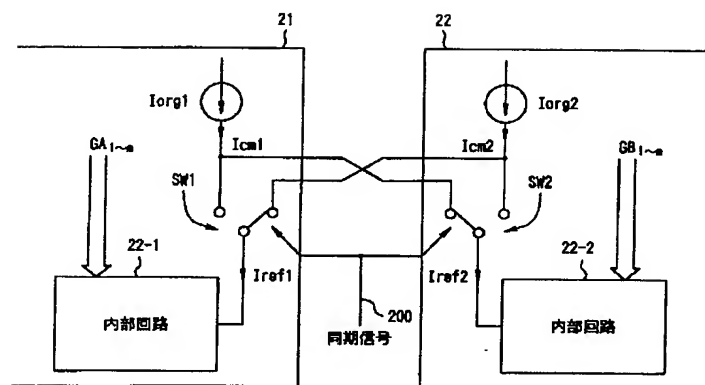
INV インバータ

SW1, SW2 スイッチング回路

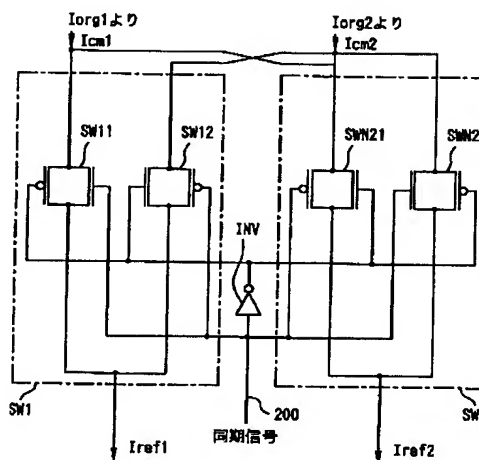
SW11, SW12

SW21, SW22 アナログスイッチ

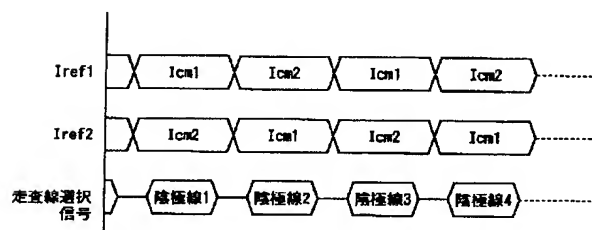
【図1】



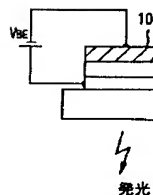
【図3】



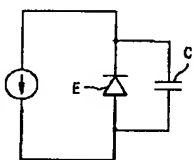
【図2】



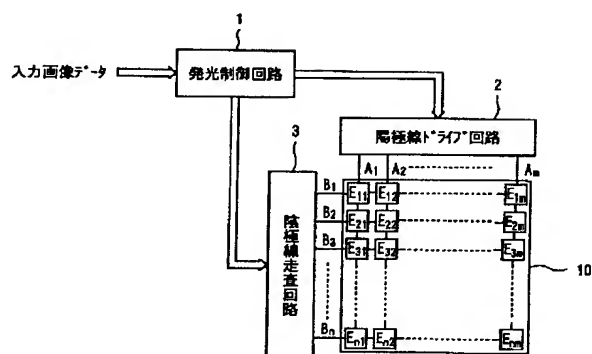
【図4】



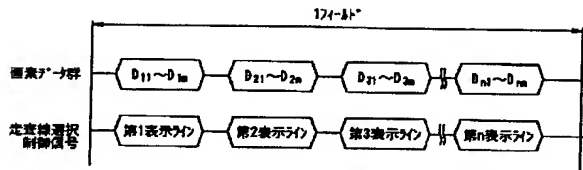
【図5】



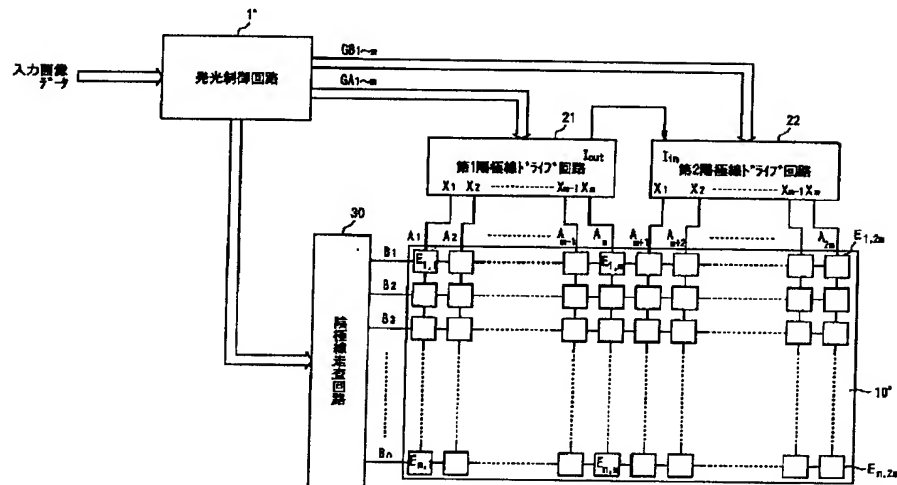
【図6】



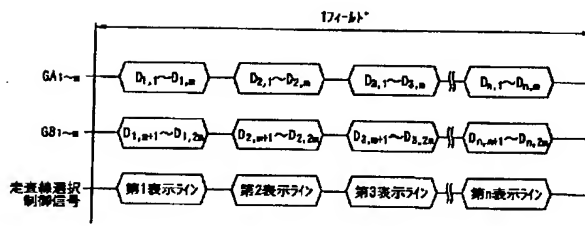
【図7】



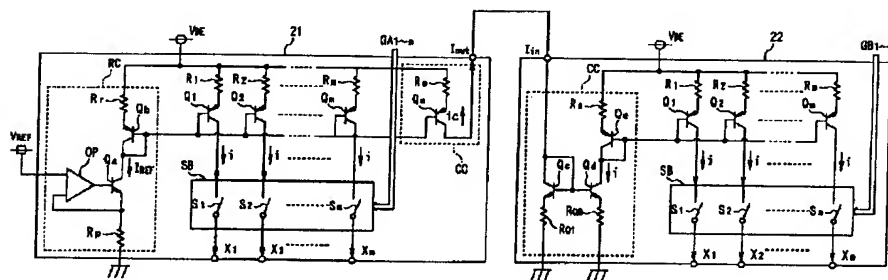
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 5 B 33/14

H 0 5 B 33/14

A

Fターム(参考) 3K007 AB02 BA06 CA01 CB01 DA00
DB03 EB00 FA01 GA04
5C080 AA06 BB05 DD05 DD25 EE28
FF11 JJ02 JJ03
5C094 AA03 AA25 AA53 AA55 BA27
EA05